

高动态 GPS 12 通道半定制相关器芯片研制

胡 辉¹, 方 玲¹, 王会芹¹, 张 涛¹, 袁 超²

(1 华东交通大学 信息工程学院, 江西 南昌 330013; 2 中国科学院 光电研究院, 北京 100094)

摘 要: 相关器是高动态 GPS 接收机的关键组成部分. 利用 FPGA 技术, 研制了高动态 GPS 12 通道半定制相关器芯片, 阐述了相关器的总体结构设计以及各模块的详细设计. 采用模块化设计思想, 重点设计了跟踪通道模块、时基发生器模块、寄存器组模块和地址译码模块. 各个模块通过 VHDL 语言在 FPGA 中实现. 实验结果表明: 理论分析与实验结果是吻合的, 研制的相关器配合 TMS320C6713 工作稳定, 能够满足接收机速度为 12 km/s、加速度为 10 g、加加速度为 10 g/s 的高动态指标.

关键词: Global Positioning System(GPS); 相关器; 高动态; 并行处理

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)02-0039-07

The Development of GPS 12 Channels Semi-custom Correlator Chip Under High Dynamic Condition

HU Hui¹, FANG Ling¹, WANG Hui-qin¹, ZHANG Tao¹, YUAN Chao²

(1 School of Information Engineering, East China Jiaotong University, Nanchang 330013, China;

2 Academy of Opto-Electronics, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: The correlator is a key component of high dynamic GPS receiver. The GPS 12 channels semi-custom correlator chip under high dynamic condition was developed by means of FPGA technology, and the working principle and related structures of the correlator and the detailed design of each module were described. The tracking channel module, the time base generator module, the registers module and the address decoding module were designed by using modular design. VHDL language programming for each module was implemented in the FPGA. The experimental results indicated that: it was uniform with the theoretical analysis, and the correlator could work stably with the TMS320C6713, under high dynamic indicators that the velocity, accelerator and change rate of accelerator were 12 km/s, 10g, and 10g/s respectively.

Key words: global positioning system(GPS); correlator; high dynamic; parallel processing

1 引言

高动态载体的特点是速度高、加速度大、加加速度大, 相应的多普勒频移、多普勒频移变化率、多普勒频移二次变化率都比较大, 对正确解调数据提出了很高的要求. 西方发达国家对出口到中国的全球定位系统(Global Positioning System, GPS)接收机都设置了技术指标限制, 以防止产品用于军工领域, 这些指标包括: 动态速度小于 515 m/s、工作高度小

于 18 km、加速度小于 4 g、加加速度小于 1 g/s^[1]. 因此, 有必要进行具有自主知识产权 GPS 接收机的研制, 其中包括 GPS 多通道相关器芯片的研制.

目前国内 GPS 接收机的研究工作主要是基于 Zarlink 公司的 GP2000 套片开展的^[1]; 有部分研发机构基于以 FPGA 为平台开展了 GPS 基带相关器的研制工作^[2]; 另有以 PC 机为平台, 直接处理 GPS 数据采集器输出的数字中频信号的实时软件接收机, 并在此基础上实现了高动态 GPS 载波跟踪算法

收稿日期: 2013-04-26; 修回日期: 2013-06-13

基金项目: 江西省教育厅科学技术研究项目(GJJ10458); 江西省科技支撑计划项目(20123BBE50098)

和环路控制策略^[2],通过开环频率牵引算法和二阶 FLL 辅助三阶 PLL 复合环路的载波跟踪技术,使 GPS 接收机的性能达到加速度 100 g、加加速度 40 g/s 的高动态指标^[2].

本文硬件平台研制是在文献[1]的基础上,采用 EP2C70F672C6 替代了 12 通道相关器芯片 GP2021,而基于 GP2015 的射频前端模块和基于 TMS320C6713 的 DSP 数据处理模块不变.本文基于 EP2C70F672C6 研制的 12 通道相关器芯片是一款半定制芯片,也就是说利用该芯片仅包括实现 GPS 信号捕获和跟踪所需的相关运算模块和 NCO 模块,而 GPS 信号捕获的开环估计运算及跟踪环路的鉴相/鉴频器、滤波器则由 DSP 数据处理模块编程实现,以保证 GPS 接收机的性能可调整.另外,本文研制的芯片结合了文献[2]提出的高动态算法及策略,因此本文研制的也是一款高动态相关器芯片.

2 GPS 接收机系统总体结构设计

GPS 接收机的主要功能是接收、检测 GPS 信号,提取 GPS 导航电文及观测量数据,并对卫星导航电文分析及数据处理,完成应用系统所要求的各项功能.从实现上讲,GPS 接收机可分为射频前端、基于 FPGA 的相关器、基于 DSP 的数据处理器等三大模块,其结构如图 1 所示.

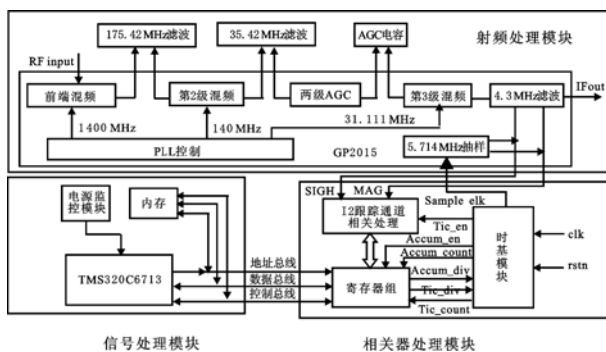


图 1 GPS 接收机系统总体结构

2.1 射频处理模块

由天线和低噪声放大器组成的天线接收单元将接收到的 GPS 射频信号输入到射频前端 GP2015.该信号是 50 bit/s 的导航电文由码速率为 1.023 Mb/s 的 Gold 码进行扩频,然后采用 BPSK 调制方式调制于 1 575.42 MHz 的载波频率而形成的,信号频谱宽度为 2.406 MHz.由于采用扩频调制方式,到达天线端的有用信号是深埋于噪声中的.本文采用 GP2015 为射频处理模块的核心,主要完成信号频率由 1 575.42 MHz $\rightarrow$ 175.42 MHz $\rightarrow$ 35.42

MHz $\rightarrow$ 4.309 MHz 的三级下变频,最终经相关器处理模块提供 5.714 MHz 采样频率后生成 1.405 MHz 的 2 bit SIGN 和 MAG 数字中频信号输出给相关器模块进行处理.

2.2 相关器处理模块

相关器处理模块由硬件和软件共同完成,其功能是从多址信号中识别各卫星信号、对 GPS 信号进行相关解扩,并在恢复信噪比的基础上解调载波,消除频率偏移并恢复基带信号;将解扩、解调后的历元时刻所对应的码状态、载波相位、伪距等形成原始观测量和导航电文,送信号处理模块进行定位解算.

本文中 FPGA 芯片选用 Altera 公司的 EP2C70F672C6,该芯片包含有 68 416 个 Logic Cells,1 152 kb 的 RAM,具有足够的资源可满足相关器的设计需求.相关器芯片主要作用是产生本地 I、Q 两路载波信号、每路包括本地超前、即时、滞后三路伪码,并分别与前端输入的数字中频信号进行混频,得到六路积分累加值输出,其中即时支路的 I、Q 两路值作为 DSP 数据处理模块载波跟踪环的输入,超前支路的 I、Q 两路积分累加值和滞后支路的 I、Q 两路积分累加值作为信号处理模块的码跟踪环的输入,并产生定位解算时所需的各原始观测量输出给信号处理模块,完成定位解算.此外,相关器芯片还会接收信号处理模块反馈回的环路控制信息,如载波频率控制字、码频率控制字、TIC 锁存间隔等,用以完成环路控制.

2.3 信号处理模块

应用处理模块由 TMS320C6713、外扩内存、电源监控模块、仿真口等部分组成.TMS320C6713 为通用 32 位浮点系列 DSP 处理器,当主频为 225 MHz 时,浮点运算速度可达 1 350 MIPS/s,可通过设置 EMIF 控制寄存器 CEXCTL 与不同类型的内存配合使用.此部分的重点是 TMS320C6713 EMIF 与相关器芯片的接口设计.

本设计中,将 EMIF 配置成一次能读取 4 字节数据 32 位宽度的传输模式,实现对 EP2C70F672C6 内部寄存器中数据的读写操作.为解决 TMS320C6713 与 EP2C70F672C6 数据实时处理的问题,采用 TMS320C6713 外部中断的方式进行读写,首先由 EP2C70F672C6 内部产生同步时间中断信号 ACCUM_INT,然后触发 TMS320C6713 的外部中断来处理这个同步时间信号,实现数据同步.TMS320C6713 与 EP2C70F672C6 的接口如图 2 所示,EMIF 的 32 根

数据线 ED[31:0]、20 根地址线 EA[21:2]、读控制管脚 RE 及写控制管脚 WE、空间配置引脚 CE[3:0]、字节配置引脚 BE[3:0] 分别连接到 EP2C70F672C6 通用 I/O 脚,EP2C70F672C6 的时钟由 TMS320C6713 的 EMIF 时钟提供,连接到 ECLKOUT 引脚,EP2C70F672C6 内部产生的中断信号连接到 TMS320C6713 的外部中断 4 引脚,实现数据的实时处理。

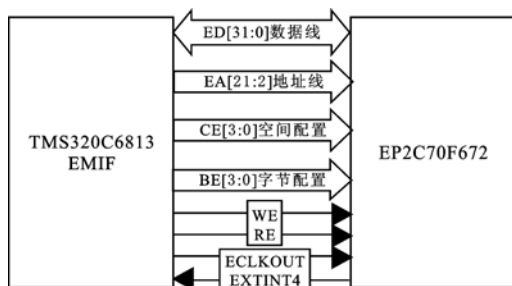


图2 TMS320C6713 与 EP2C70F672 的连接图

3 相关器芯片寄存器关键参数设计

寄存器组模块的主要功能是寄存跟踪通道相关器的数据、积分累加数据和原始观测量数据. 相关器芯片中寄存器是连接基于 FPGA 相关器处理模块和基于信号处理模块的桥梁,它的设计不仅影响接收机定位速度,更对测速、定位精度起着关键作用. 因此合理设计相关器芯片中载波模块、码模块、积分累加模块中寄存器的位数,确保不因芯片设计精度导致定位、测速精度的下降是至关重要的.

相关器芯片中所需设计寄存器主要包括跟踪通道内寄存器、系统状态寄存器和系统控制寄存器,其中跟踪通道内寄存器包括载波 NCO、码 NCO、累加值、PRN 码选择、码滑动控制、载波原始观测量和码原始观测量等寄存器;系统状态寄存器包括中断产生指示和累加值产生指示寄存器;系统控制寄存器包括观测量中断和累加值中断周期控制寄存器.

载波 NCO 和码 NCO 相位累加器的位数决定了各自的频率分辨率,为精确跟踪载波频率的变化,相位累加器的位数越多,输出时钟的频率分辨率越高,而频率分辨率越高,计算 GPS 信号发射时间越精确,GPS 定位需要的伪距计算也越精准,这样 GPS 定位的精度就会越高. 本次设计拟选择 40 MHz 主时钟,相位累加器和锁存器均为 30 位,因此频率分辨率为 $40 \text{ MHz}/2^{30} \approx 37.25 \text{ MHz}$,能够很精确地跟踪载波多普勒的变化.

码原始观测量以及 20 ms 和 1 ms 历元计数器

的位数决定了伪距测量精度,也决定了位同步及帧同步算法的复杂性. 本设计中码片计数为 TIC 时间间隔内半码片个数,为 11 位,码相位计数取 NCO 中累加器高 10 位作为码片内观测量,20 ms 历元计数器计数范围为 0~49,1 ms 历元计数器计数范围为 0~19,因此寄存器设计为 11 位. 这样的设计使得在伪距计算过程中,20 ms 计数器将定位精度确定在 6 000 km 范围内,1 ms 计数器将定位精度确定在 300 km 范围内,码整周计数值将定位精度确定在 300 m 内,码 NCO 计数则将定位精度提高到 0.3 m 范围内.

观测量锁存 TIC 的时间间隔决定了卫星定位接收机的定位结果数据更新率,因此为平衡硬件资源消耗和相关器性能指标,将 TIC 间隔设置为 100 ms,数据更新率则为 10 Hz. 对于 40 MHz 的主时钟,采用减计数方式产生 TIC 时刻的频率预置数,寄存器位数设置为 24 位.

积分累加器的位数决定了相关值精度. 在文献[2]的高动态跟踪算法中,为满足载体的高动态性能,设置预检积分时长为 1 ms,积分累加时间为 1 ms. 对于 5.714 MHz 的数据率,最大值为 6 的数据输入,1 ms 内的累加值为 $6 \times 5\,714 = 34\,284$,因此本文将积分累加位数设为 16 位,这样在保证最小硬件资源消耗的基础上同时保证了相关器的性能,而且考虑到接口设计,16 位的数据方便 DSP 读取和处理.

4 相关器总体结构设计与实现

GPS 信号相关接收原理可参见文献[3-4]. 本文采用模块化设计思想,相关器总体结构如图 1 中相关器处理模块所示. 主要包括时基发生器模块、12 个独立的跟踪通道模块、寄存器组模块和 FPGA 与 DSP 接口模块.

其中,时基发生器模块产生相关器工作所需要的各种时钟信号;12 个跟踪通道结构相同,主要功能是产生本地载波、本地伪码并和前端输出的数字中频信号进行相乘实现载波剥离、码剥离,得到累加积分值输出,并为处理器模块提供计算伪距所需要的各种测量值;寄存器组模块寄存相关器的输入数据,累加值和测量值输出数据;FPGA 与 DSP 接口模块是相关器与微处理器 DSP 的连接接口[5].

在跟踪通道模块中,主要包括载波混频,码混频,及积分累加过程的设计.

根据文献[2]中高动态跟踪算法,载波跟踪环采

频率控制字 $f_control$ 由处理器通过写寄存器实现。

4.2.2 码模块

码模块结构如图 5 所示。主要由码 NCO、码产生器、码滑动、码相位和码 NCO 相位计数器以及 1 ms 和 20 ms 历元计数器组成。

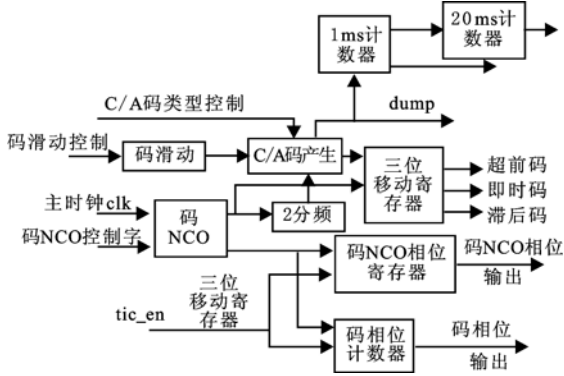


图 5 码模块结构

码 NCO 与载波 NCO 有相似的结构,产生频率为 C/A 码速率两倍的时钟信号。通过计算可知码频率分辨率为 149 MHz,由于 C/A 码多普勒频移为载波多普勒频移的 $1/1540$ ^[8],因此可以精确地跟踪码频率的变化。

码产生器模块产生超前、即时和滞后支路 C/A 码,同时产生码末清零信号 dump。码 NCO 的输出时钟进行 2 分频得到与 C/A 码速率相同的时钟,驱动码产生模块产生相应卫星的 C/A 码序列,然后将序列送入三位移位寄存器中,得到彼此相差半码片时长的超前、即时和滞后码序列。为了更好地对比超前、即时和滞后支路码的相位差,在仿真时加入半码片时钟信号 hc_en 。

码滑动模块在处理器要求码滑动时,控制码产生器停止工作,这样本地码相位不变而接收信号码相位在改变,实现改变两个码序列的相位差。每当码产生器产生一个完整周期的码序列时,通过判断码滑动使能信号的状态,实现控制是否需要进行码滑动^[9]。

码相位和码 NCO 相位计数器、1 ms 和 20 ms 历元计数器暂存各自计数值,并在 tic_en 时刻被锁存,为处理器提供计算伪距需要的必要数据^[9-10]。

4.2.3 积分累加模块

积分累加模块将输入的数字中频信号与本地载波的同相、正交分量混频,再分别与本地 C/A 码的超前、即时和滞后码序列进行相关运算,将一个码周期内的混频结果累加,得到六路积分累加值输出^[11]。

混频时,先进行载波混频,再进行码混频^[12-13]。经载波混频后,得到了 $\pm 1, \pm 2, \pm 3, \pm 6$ 等 8 个值。载波混频后数据为 4 位,最高位 mix_sign 为符号位,低 3 位 $mixval(2..0)$ 为数据位。由于 C/A 码只有 0、1 两级电平,在补码运算中只能影响符号位。因此,通过比较符号位与 C/A 码的电平,就可以确定混频值的符号。每个码周期内的累加值暂存在 16 位寄存器中,输出的积分累加值为二进制补码,输入到处理器中进行处理。

每当 dump 信号到来时,累加值被锁存到寄存器中,同时累加器被清零,因此当前的累加值必须在下一个清零信号到来之前被处理器读走。设计中, dump 信号触发累加值更新标志位 new_data 置位,处理器以 0.5 ms 的周期查询 new_data 标志位,若积分累加值已经更新,则立即将寄存器中的累加值读取,同时将累加值寄存器清零。通过这种方式,可以确保每个码周期内的积分累加值被处理器及时读取进行后续处理。

4.3 寄存器组及 FPGA 和 DSP 总线接口模块

寄存器组模块实现寄存相关器各模块的输入控制数据,累加值和观测值等输出数据^[14]。寄存器组模块由跟踪通道寄存器、系统控制寄存器和系统状态寄存器组成。

每个跟踪通道寄存器共 15 个,分别为 10 位 C/A 码类型控制字、30 位载波频率控制字、28 位码频率控制字、11 位码滑动控制字、16 位 I 路超前支路累加值、16 位 Q 路超前支路累加值、16 位 I 路即时支路累加值、16 位 Q 路即时支路累加值、16 位 I 路滞后支路累加值、16 位 Q 路滞后支路累加值、32 位载波观测值、21 位码观测值、11 位历元计数值、11 位经 tic_en 锁存的历元计数值和 5 位历元计数初始值寄存器;系统状态寄存器共 4 个,分别为 2 位中断标志位、12 位累加值更新标志位、24 位 tic_en 即时计数值和 24 位 $accum_en$ 即时计数值寄存器;系统控制寄存器共 3 个,分别为系统复位信号、24 位 tic_en 周期预置数和 24 位 $accum_en$ 周期预置数寄存器。

FPGA 和 DSP 之间所有通讯通过 DSP 总线完成,FPGA 占用 DSP 的 CE2 空间,地址空间范围为 $0xA000\ 0000 \sim 0xAFFF\ FFFF$ 。对于异步存储访问,FPGA 可用的外部地址总线为 $TEA[21:2]$,实际使用过程中,地址译码分为两部分。其中, $TEA[21:18]$ 用于读写译码, $TEA[21:18]$ 为“0001”表示 DSP 向 FPGA 写过程,为“0010”表示 DSP 从 FPGA 读过程。

TEA[17:2]用于寄存器地址译码,地址主要由三部分组成:系统段基址+通道段基址+寄存器基址,系统段基址主要分为系统状态寄存器基址、系统控制寄存器基址、GPS通道基址、串口通道基址,通道段基址主要为通道号基址,寄存器基址具体定义为各寄存器的访问基址.此处寄存器地址定义方式为后续扩展GNSS系统预留了充分的地址空间.

以GPS跟踪通道2为例,分析其内部载波频率控制字寄存器的写访问过程.

```

If ((TCE2n==0)&&(TEA[21:18]==4'b0001)&&
(TSDWEn==0))
begin
TED_INOUT_SELECT<=0;
case (TEA[17:2])
GPS_CHANNEL+CHANNEL_2 +GPS_CHn
_CARRIER_NCO_INCR;
REG_GPS_CH2_CARRIER_NCO_INCR <= TED
[CARRIER_NCO_WIDTH-1:0];
endcase
end

```

TCE2_n为CE2空间片选信号,低电平有效,TSDWE_n为DSP写使能信号,低电平有效,TED_INOUT_SELECT为数据总线控制信号,‘1’作为输出,‘0’作为输入.该过程表示寄存器输入地址定义在CE2空间,DSP向FPGA写过程,偏移地址为010000H-01FFFFH.相关器芯片工作时,若TEA[17:2]==0x1200H,表明选中系统段基址为0x1000,通道段基址为0x0200,寄存器基址为0x0000的寄存器,即GPS跟踪通道2内的30位载波频率控制字寄存器,并将数据总线上的值写入此寄存器,从而改变相关器载波频率控制字,实现实时调整载波的频率.

5 测试结果分析

研制的高动态12通道相关器芯片各模块在文中进行了仿真验证.EP2C70F672C6含68 416个逻辑单元,同时具有422个I/O接口、1 Mbit内部单元,300个9*9乘法器.本设计中所消耗硬件资源如表1所示.

表1 嵌入式GPS接收机的硬件资源消耗

	逻辑单元数 量/使用率	I/O口/ 使用率	内存单元 /使用率
单通道GPS相关器	575 /2%	13/4%	10 560/2%
12通道GPS相关器	8 890/27%	91/28%	133 208/28%

由表1可以看出单通道GPS相关器消耗了575个逻辑单元、13个I/O口及10 560 bit内存单元,其硬件资源使用率分别为2%、4%和2%;12通道GPS相关器消耗了8 890逻辑单元、91个I/O口及133 208 bit的内存单元,其硬件资源使用率分别为27%、28%、28%.

以下为在TMS320C6713和EP2C70F672C6搭建的开发平台上对相关器进行实测.高动态场景由GNSS模拟器—GNS8000产生.载体运动轨迹为:0~30 s为静止状态,31~150 s为10 g的匀加速直线运动,151~180 s为12 km/s的匀速直线运动,181~300 s为-10 g的匀减速直线运动,301~330 s为静止状态.硬件测试平台如图6所示,图7~图9为GPS接收机的高动态数据处理结果.

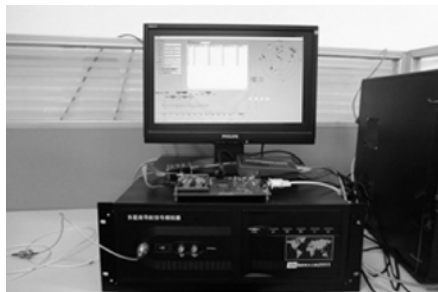


图6 硬件测试平台

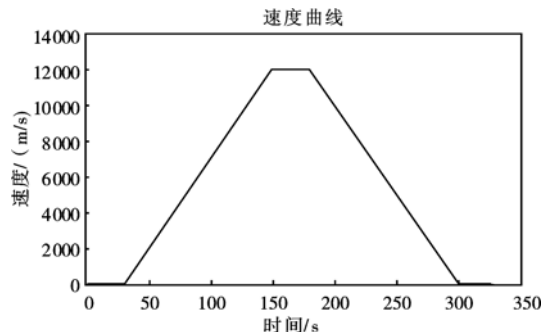


图7 接收机输出的速度曲线

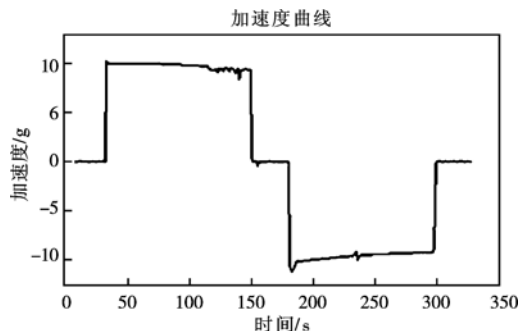


图8 接收机输出的加速度曲线

图7所示为GPS接收机输出的速度曲线,可以看出与模拟器设定的理论速度曲线一致.图8所示为GPS接收机输出的加速度曲线,可以看出,在30

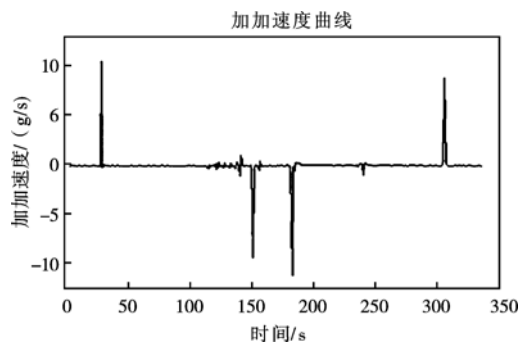


图9 接收机输出的加加速度曲线

s 和 300 s 对应了 10 g 的加速度阶跃,在 150 s 和 180 s 对应了 -10 g 的加速度阶跃.图 9 是 GPS 接收机输出的加加速度曲线,可以看出,冲激时刻与加速度的阶跃时刻相同,在 30 s 和 300 s 为 10 g/s 的加加速度冲击,在 150 s 和 180 s 处为 -10 g/s 的加加速度冲击.综上可知,研制的高动态相关器芯片能够满足 GPS 接收机速度为 12 km/s、加速度为 10 g 和加加速度为 10 g/s 的高动态指标;通过与文献[1]中高动态接收机的输出结果相比较,可以看出,采用本文研制的相关器,GPS 接收机的输出结果波动更小,性能更优越.

6 结束语

本文首先分析了高动态 GPS 12 通道半定制相关器芯片的结构;其次,在此基础上,设计了相关器的跟踪通道、时基发生器、寄存器组和地址译码等模块,并就其关键参数与项目指标之间的关系进行了分析;最后,在基于 EP2C70F672C6 和 TMS320C6713 的 GPS 接收机开发平台上进行了方案验证及性能分析.测试表明该相关器芯片在载体运动速度、加速度、加加速度分别为 12 km/s、10 g、10 g/s 的动态环境下,工作稳定可靠,性能优越,达到了预期的效果,凭借其半定制的灵活性,将其运用到其他 GPS 接收机系统的研究中,能大大提高开发效率.

参考文献:

- [1] 胡辉,叶鑫华,袁超. 高动态数字化 GPS 软件接收机系统[J]. 数据采集与处理, 2010, 25(5): 620-625.
- [2] 胡辉,孙函子,纪兆云. 高动态 GPS 载波跟踪算法和环路控制策略研究[J]. 宇航学报, 2011, 32(8): 1805-1812.
- [3] 胡辉,袁超,吴超,等. 基于 FPGA 的 GPS 接收机相关器技术研究与实现[J]. 系统仿真学报, 2011, 23(7): 1513-1517.
- [4] 张伯川,张其善. 高动态接收机的关键问题研究[J]. 电子学报, 2003(12): 1844-1846.

- [5] 王尔申,张淑芳,胡青,等. GPS 接收机相关器技术研究及 FPGA 实现[J]. 系统仿真学报, 2008, 20(13): 3582-3585.
- [6] Ledvina B M, Psiaki M L, Powell S P, et al. A 12-channel real-time GPS L1 software receiver[C]//Proceeding of the Institute of Navigation National Technical Meeting. Anaheim, CA, The Institute of Navigation, Inc., 2003: 767-782.
- [7] Clifford Kelley, Douglas Baker. Open source GPS open source software for learning about GPS [C]//Proceeding of ION GNSS the 18th International Technical Meeting of the Satellite Division. Long Beach, CA, The Institute of Navigation, Inc., 2005: 2800-2810.
- [8] Shankaraman Ramakrishnan, Drace Xingxin Gao, David De Lorenzo, et al. Design and analysis of reconfigurable embedded GNSS receivers using model-based design tools [C]//ION GNSS 21st. International Technical Meeting of the Satellite Division. Savannah, GA, 2008.
- [9] Frai D M. A fast acquisition CDMA receiver for burst transmission system[C]//The 11th IEEE International Conference on ICECS, Sheraton Moriah Tel-Aviv, Tel Aviv, 2004.
- [10] Hun-Soo Cho, Sung-Hyuck Im, Gyu-In Jee. A FPGA-based software GPS receiver implementation using simulink[C]//Proceeding of ION GNSS the 18th International Technical Meeting of the Satellite Division. Long Beach, CA, The Institute of Navigation, Inc., 2005: 234-240.
- [11] Kaplan E, Hegarty C. Understanding GPS: principles and applications[M]. 2nd ed. Massachusetts, US: Artech House, Inc, 2006.
- [12] Stewart Cobb D H, Novariantc. FPGA- optimized GNSS receiver implementation techniques[C]//ION GNSS 21st. International technical Meeting of the Satellite Division. Savannah, GA, 2008.
- [13] 罗兴宇,张其善,常青. 高动态 GPS 信号 C/A 码捕获方案及实现[J]. 北京航空航天大学学报, 2002, 28(3): 358-361.
- [14] Fabio Dovis, Massimiliano Spelat, Paolo Mulassano, et al. On the tracking performance of a galileo/GPS receiver based on hybrid FPGA/DSP board [C]//Proceeding of ION GNSS the 18th International Technical Meeting of the Satellite Division. Long Beach, CA, The Institute of Navigation, Inc., 2005: 1611-1620.

作者简介:

胡辉 男, (1970—), 博士后, 教授. 研究方向为卫星导航定位、并行算法与并行处理、机器人视觉.